

2 RODZINY TECHNOLOGII

MOS

- ◆ Względnie prosta technologia nie wymagająca złożonych izolacji między elementami

ewolucj

a

CMOS

nie pobiera praktycznie mocy w stanie spoczynku

BIPOLARNA

- ◆ dobre własności pod względem szybkości przełączania
- ◆ niski poziom szumu

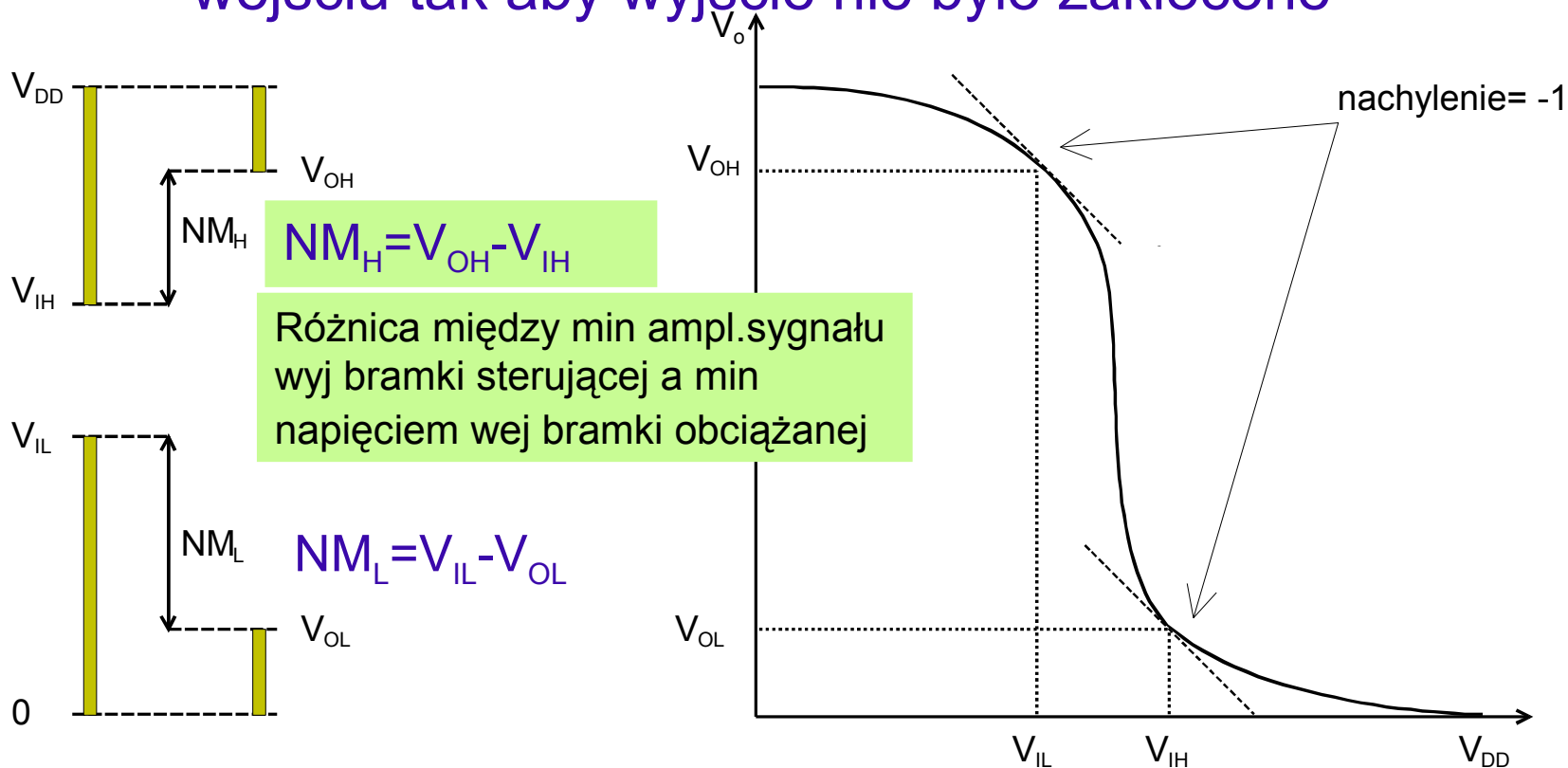
zastosowanie w układach analogowych

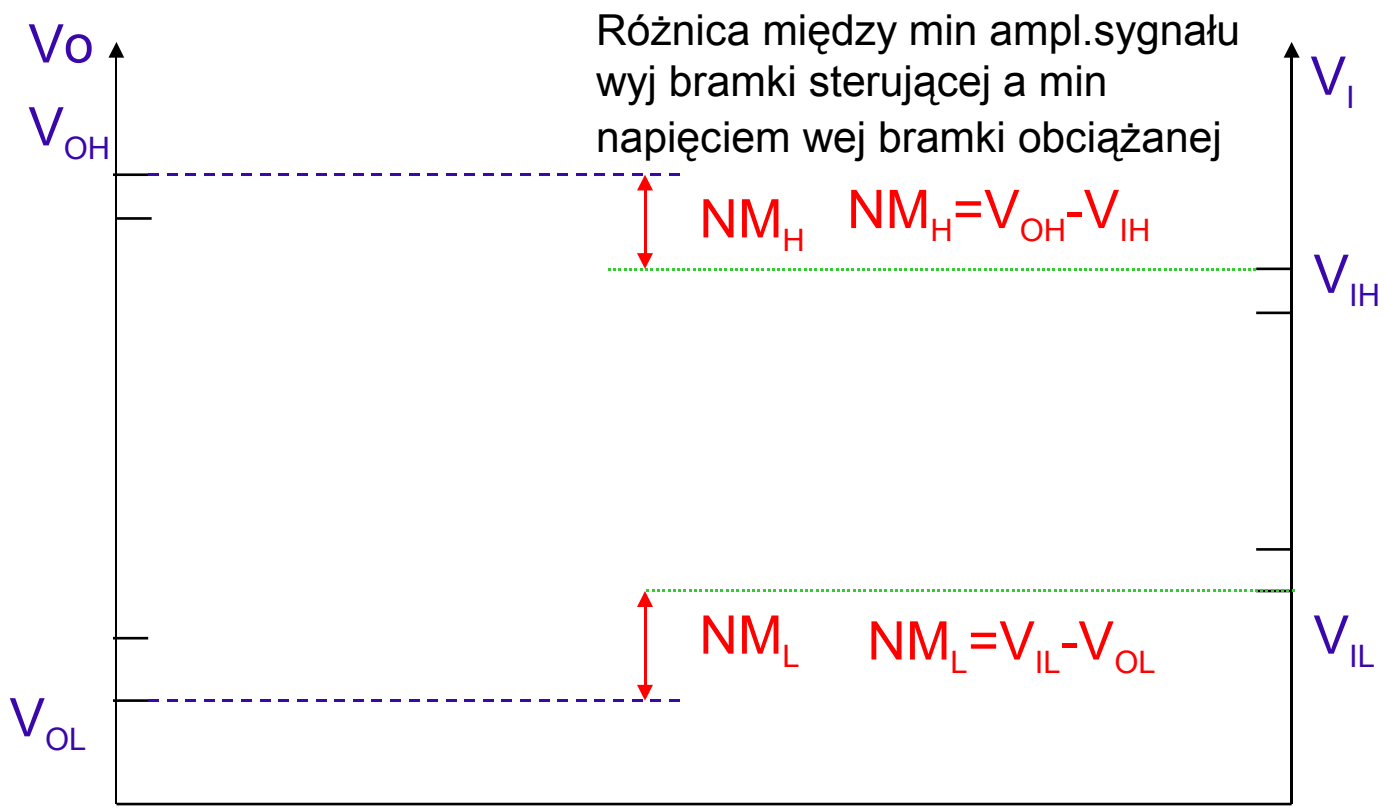
Technologia BiCMOS

Definicja marginesów szumów



określenie dopuszczalnego napięcia szumu na wejściu tak aby wyjście nie było zakłócone

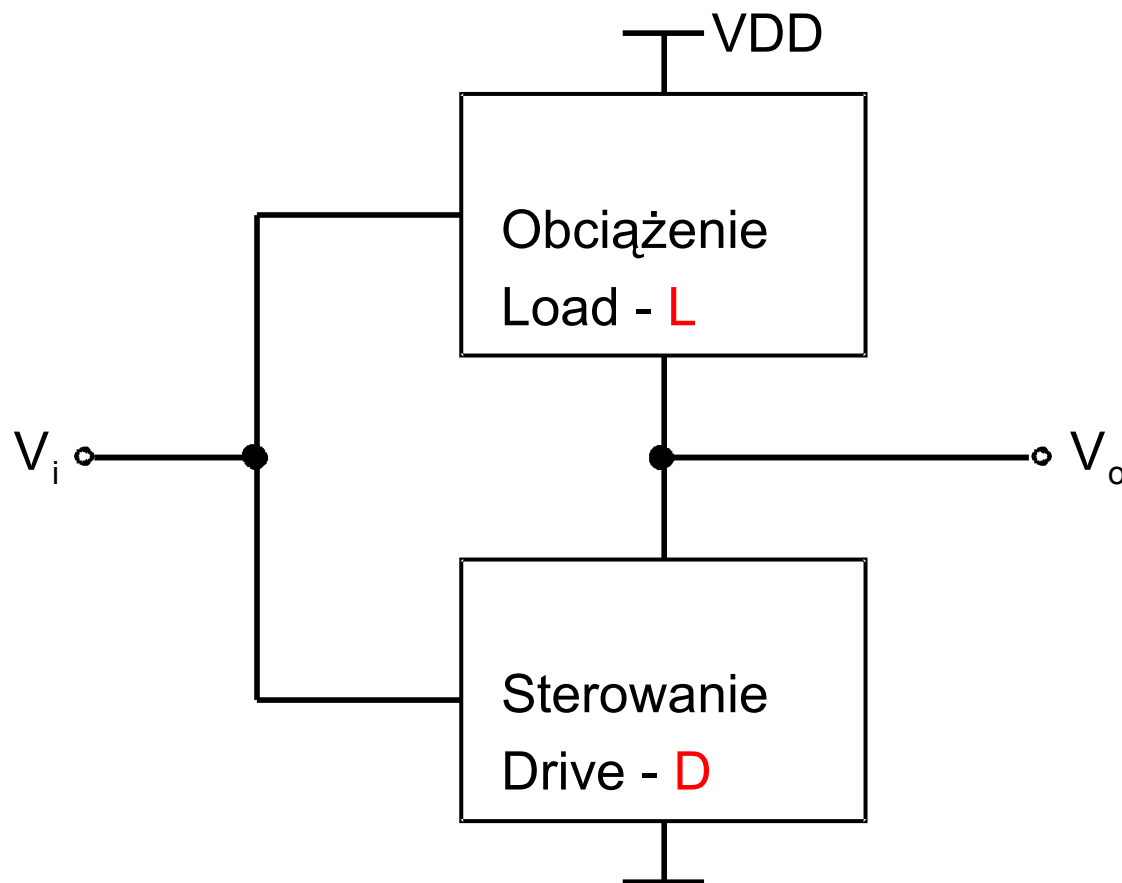




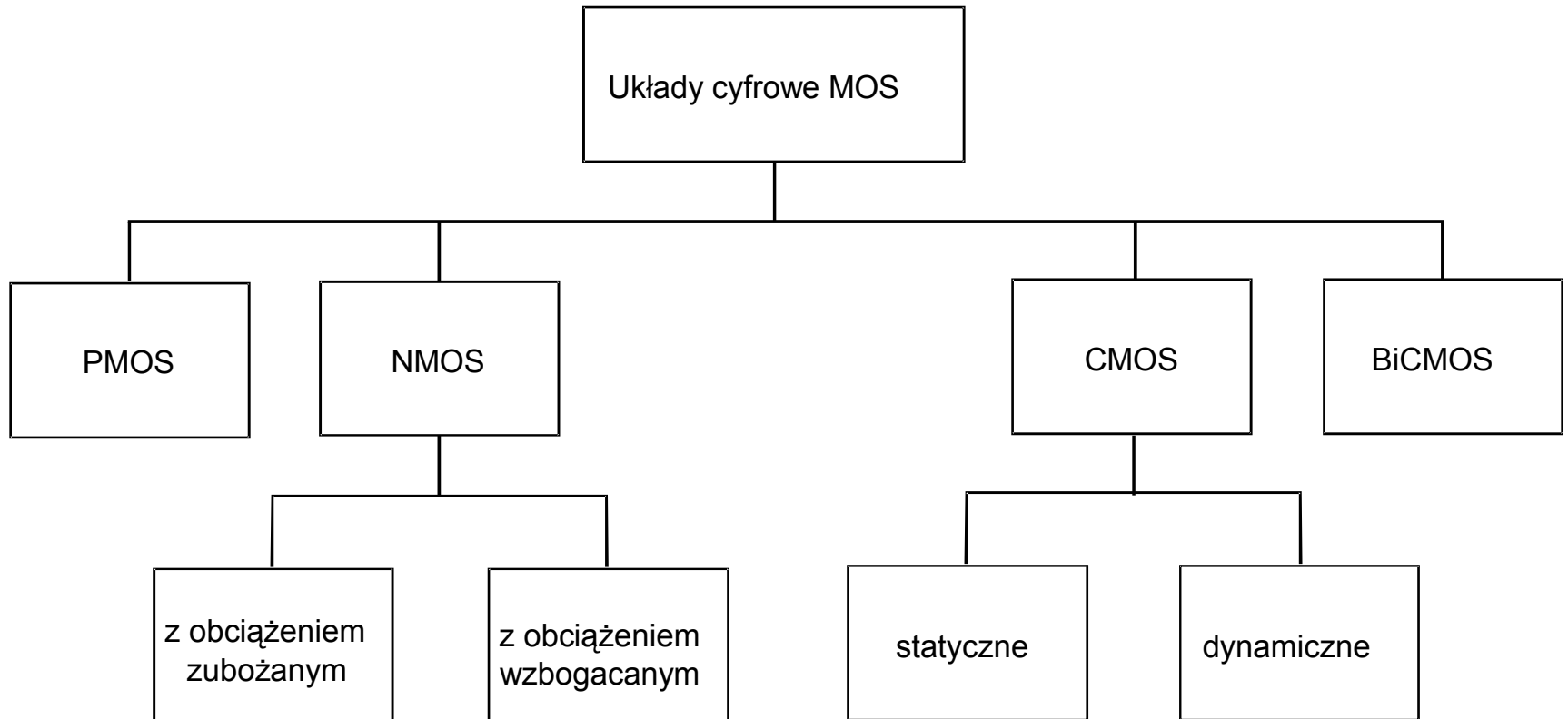
Out bramki 1

In bramki 2

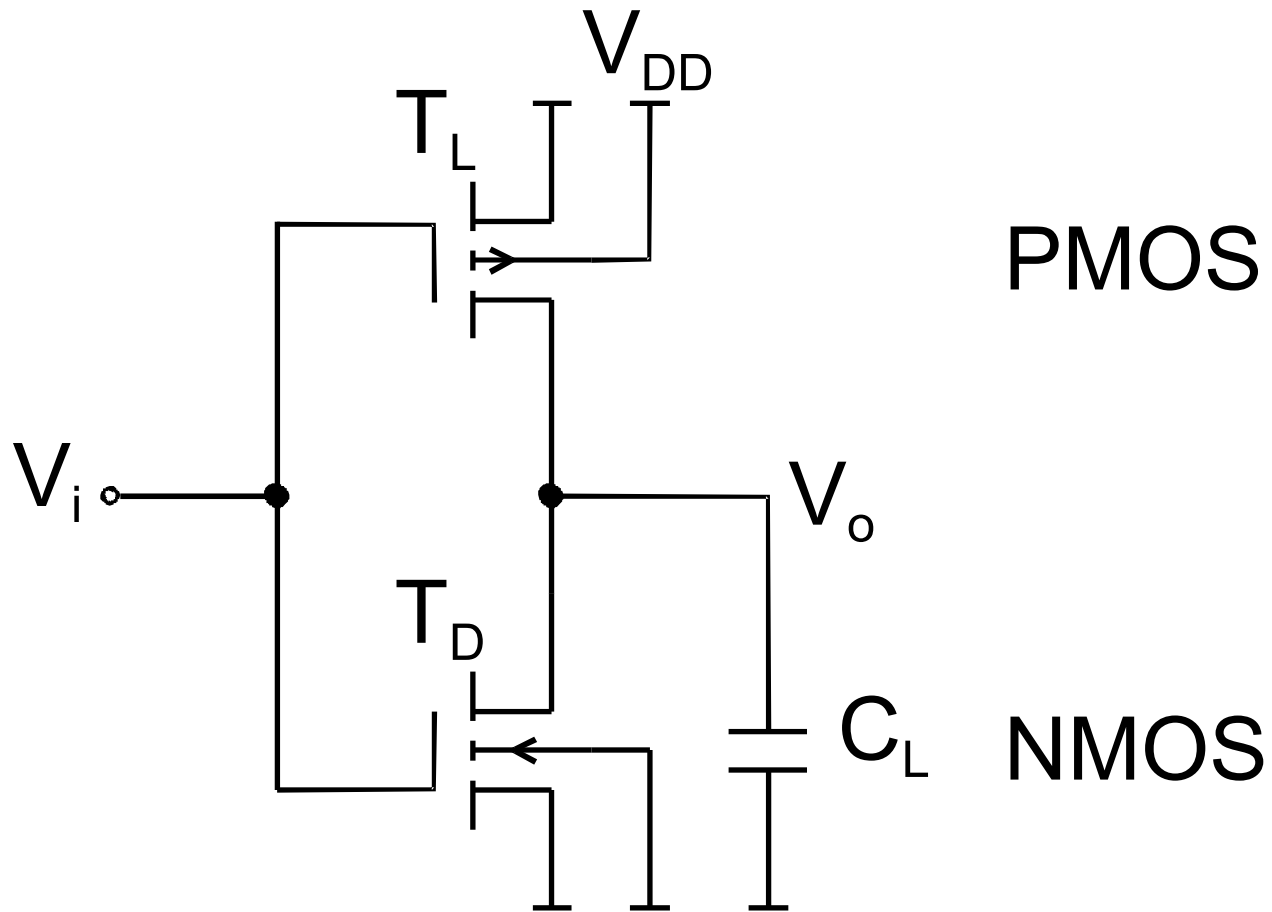
Ogólny schemat inwertera MOS



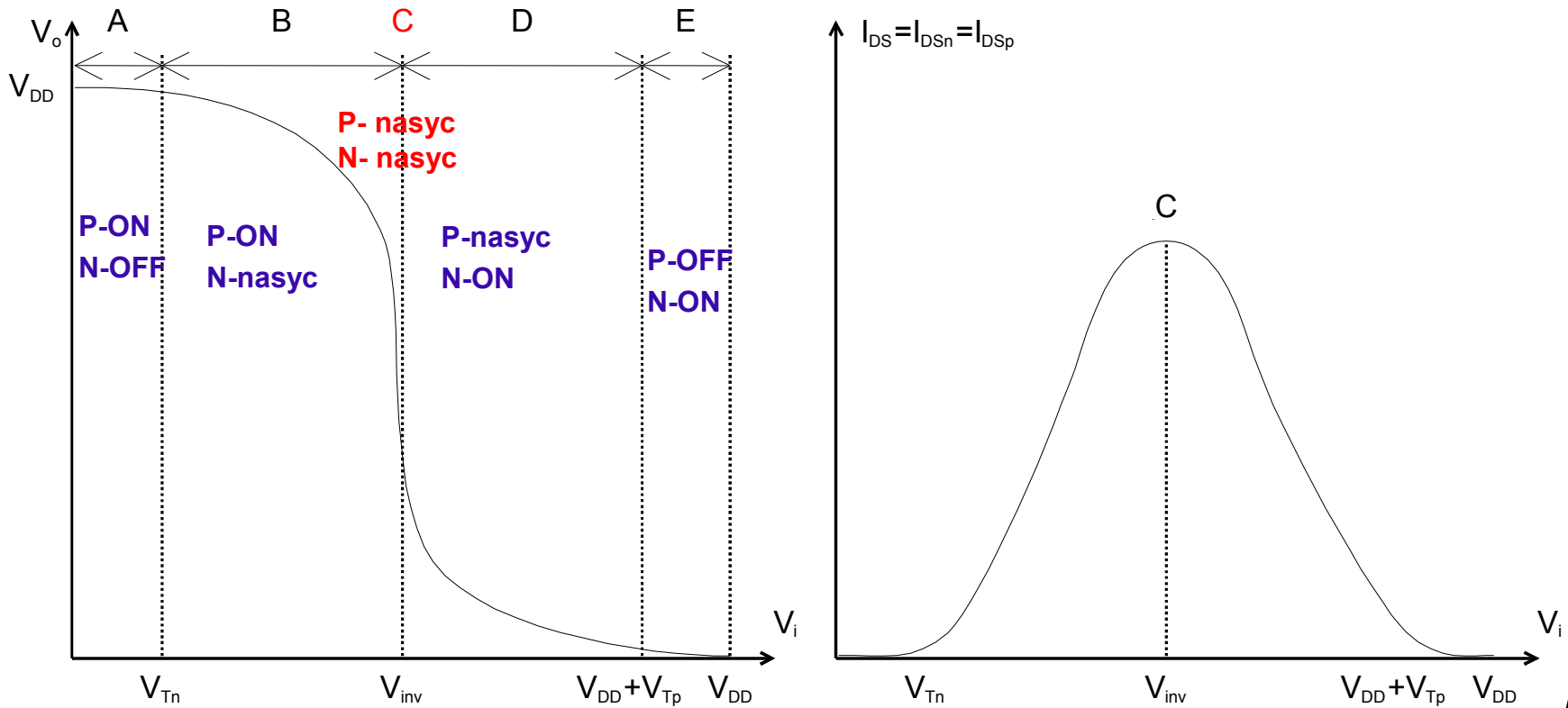
Rodzaje cyfrowych układów scalonych MOS



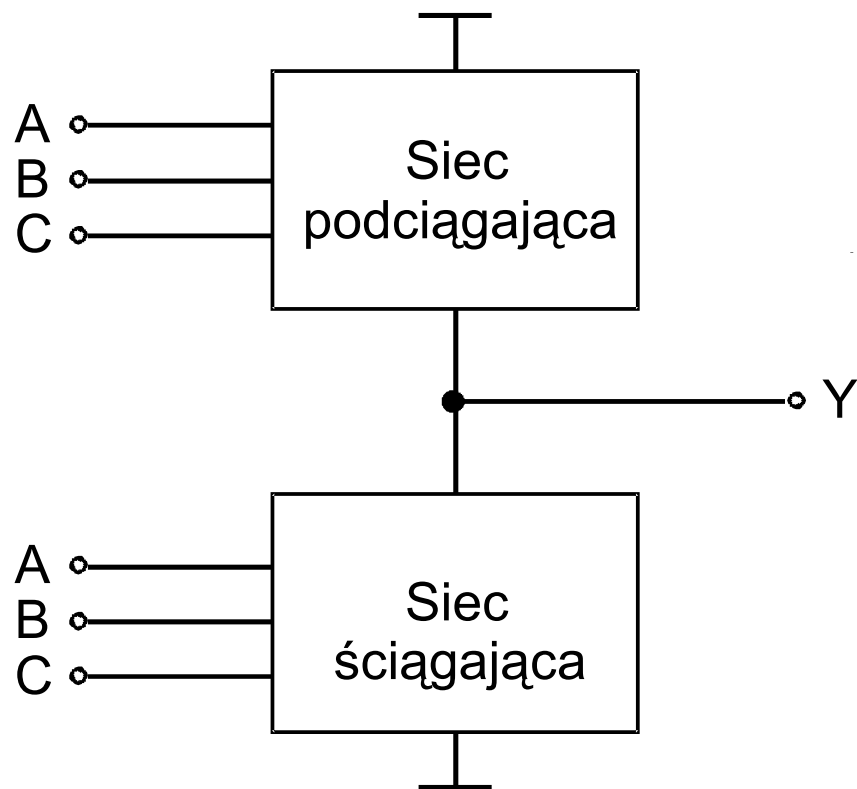
Inwerter CMOS



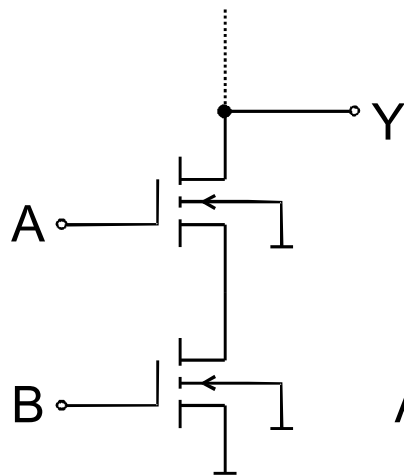
Charakterystyka przejściowa i prąd inwertera CMOS



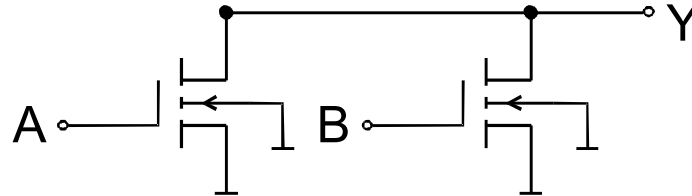
Ogólny schemat bramki CMOS



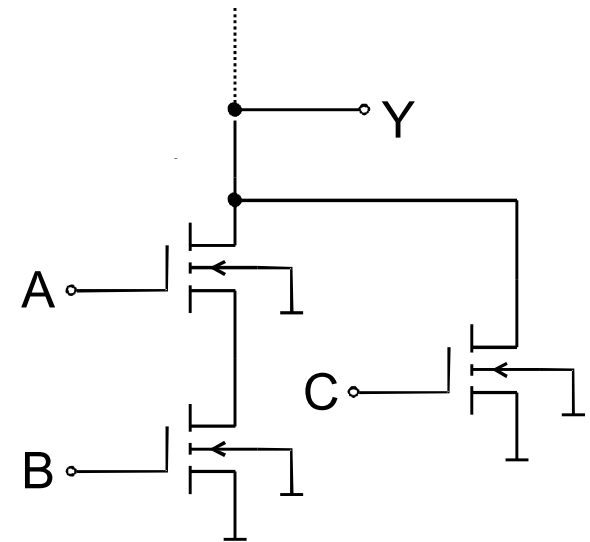
Schematy sieci ściąagających w bramkach CMOS



$$Y = \overline{AB}$$

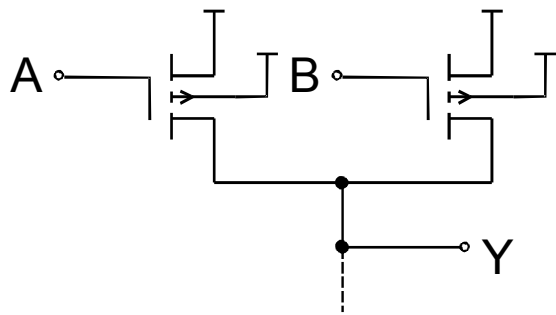


$$Y = \overline{A+B}$$

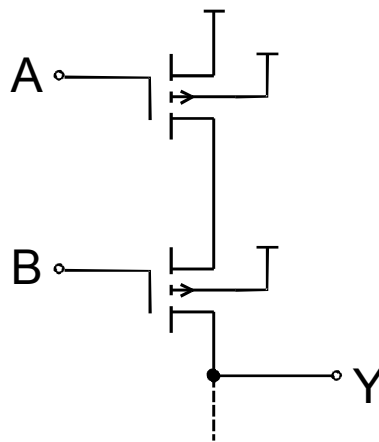


$$Y = \overline{AB+C}$$

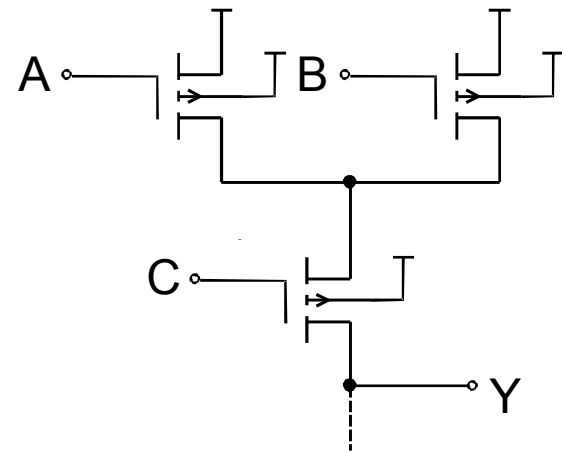
Schematy sieci podciągających w bramkach CMOS



$$Y = \overline{AB}$$

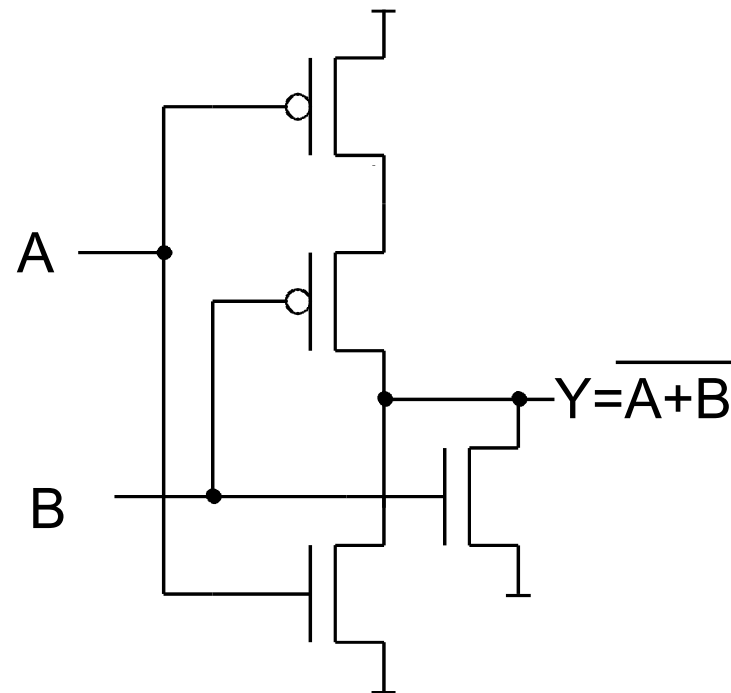
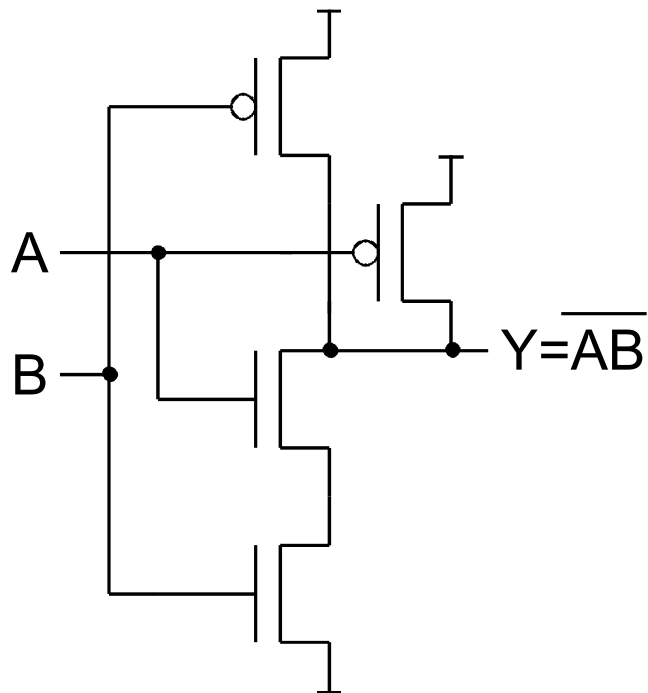


$$Y = \overline{A+B}$$

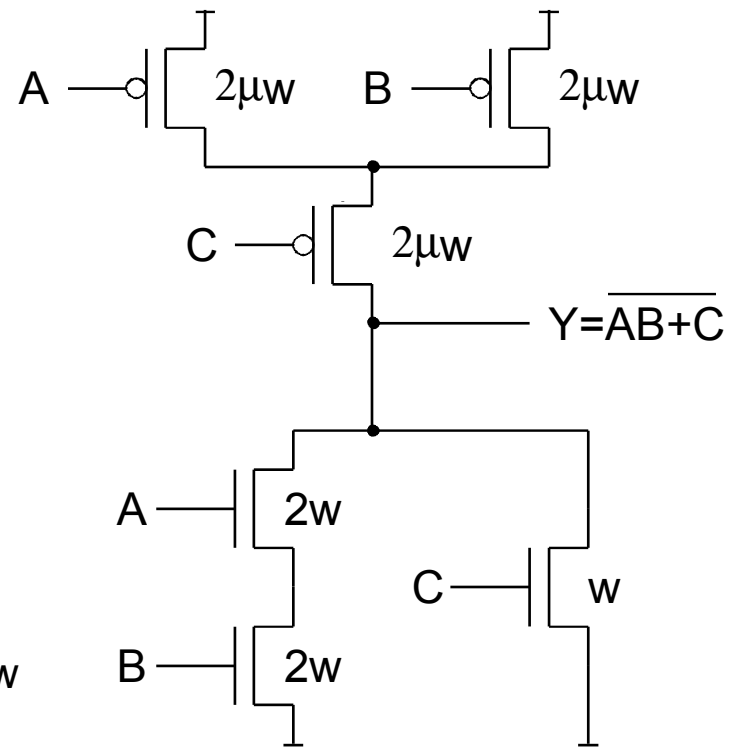
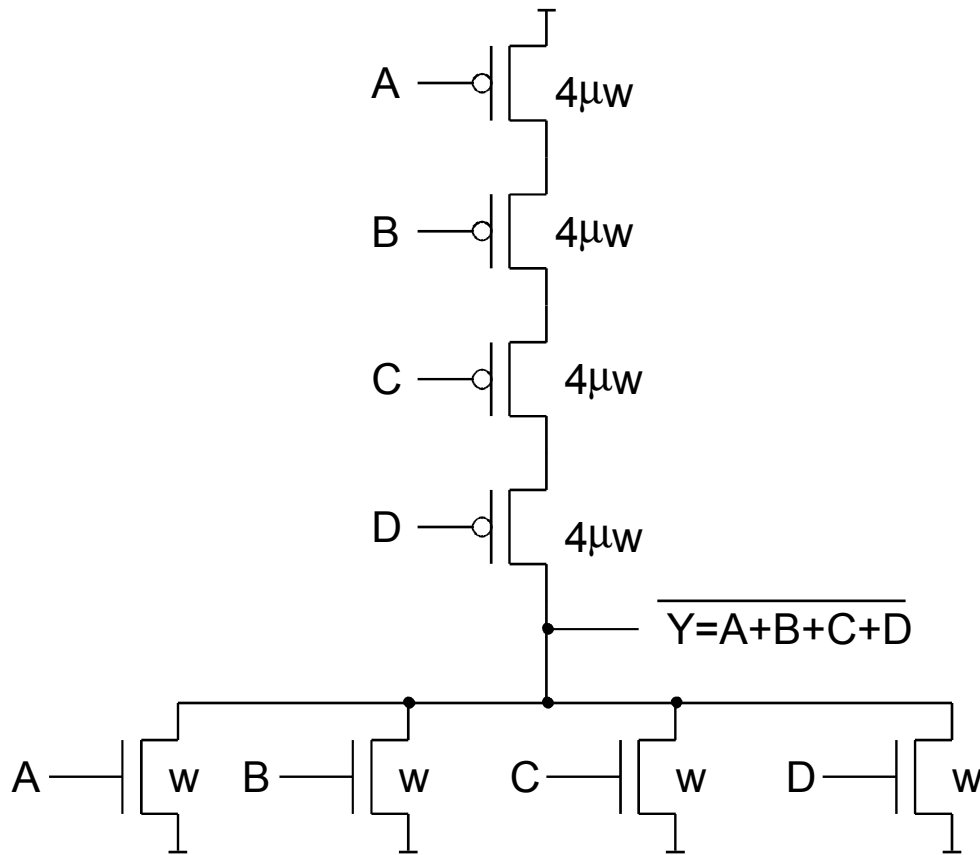


$$Y = \overline{AB+C}$$

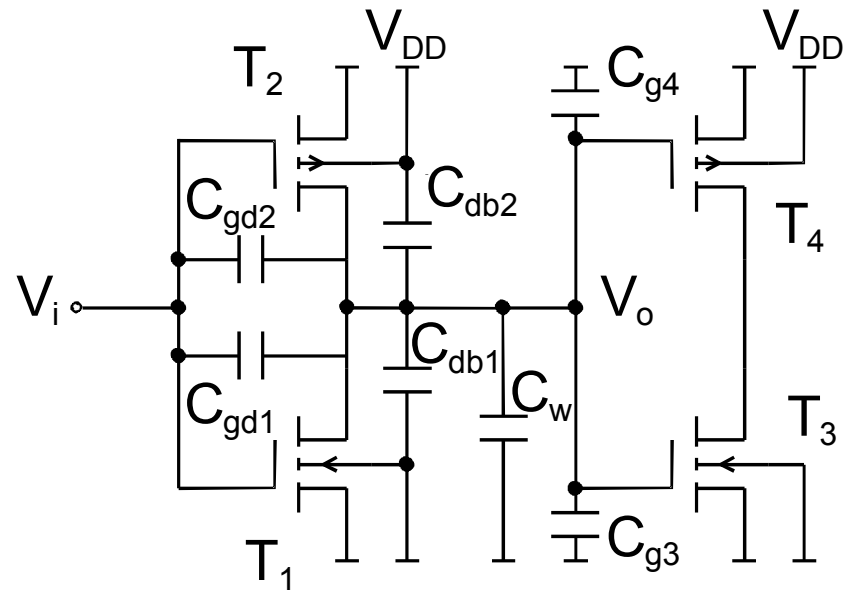
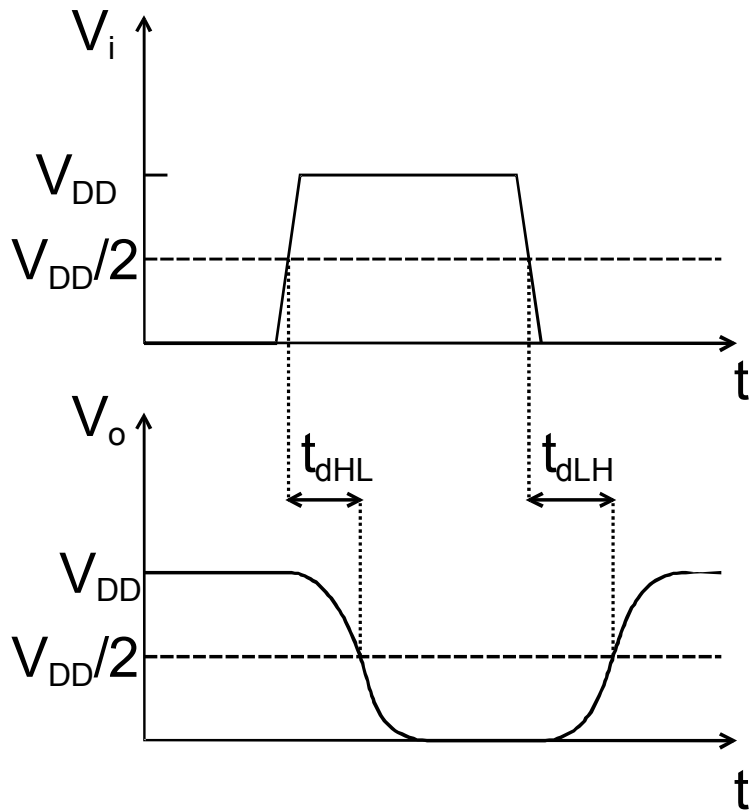
Bramki CMOS: NAND i NOR



Dobór szerokości tranzystorów w bramkach CMOS

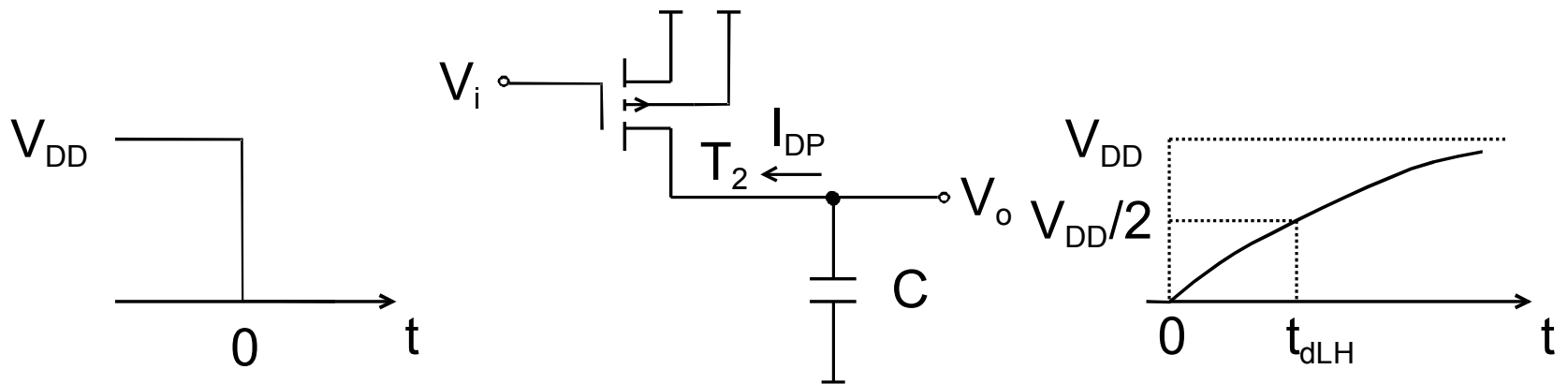
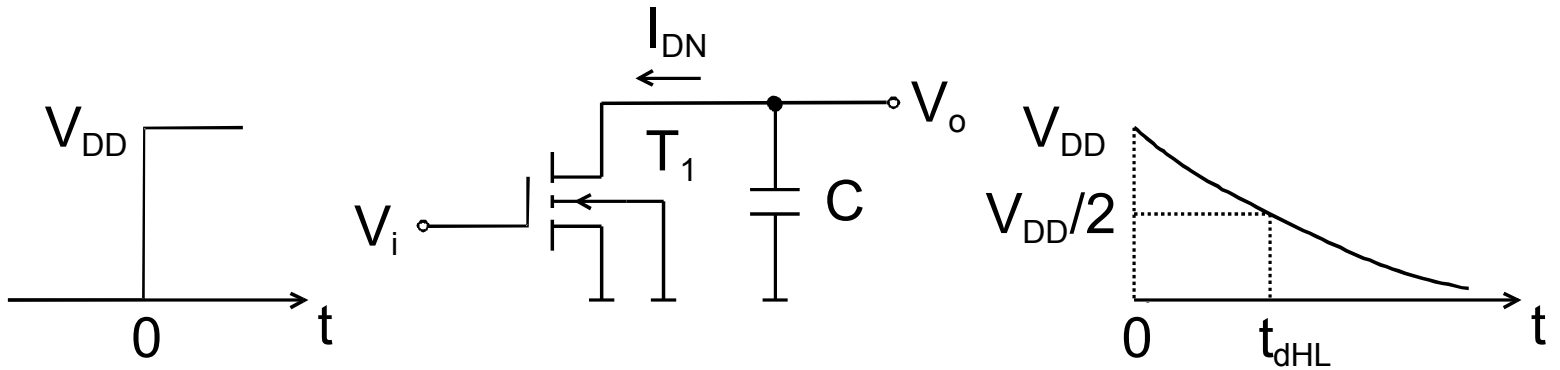


Opóźnienia wnoszone przez inwerter CMOS

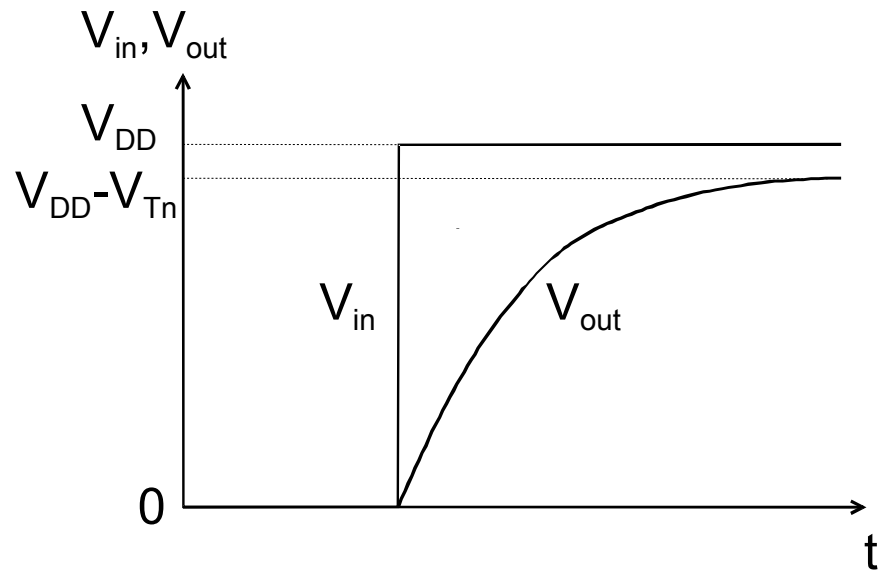
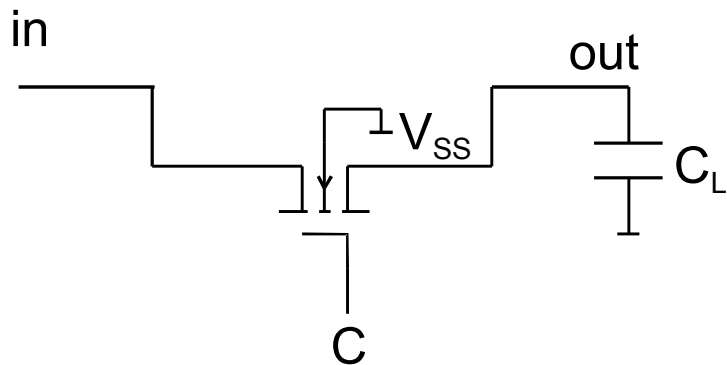


Obliczanie czasów opóźnień

t_{dHL} i t_{dLH}



Tranzystor NMOS jako klucz



Tranzystor PMOS jako klucz

