

Wprowadzenie do techniki Cyfrowej i Mikroelektroniki

Małgorzata Napieralska

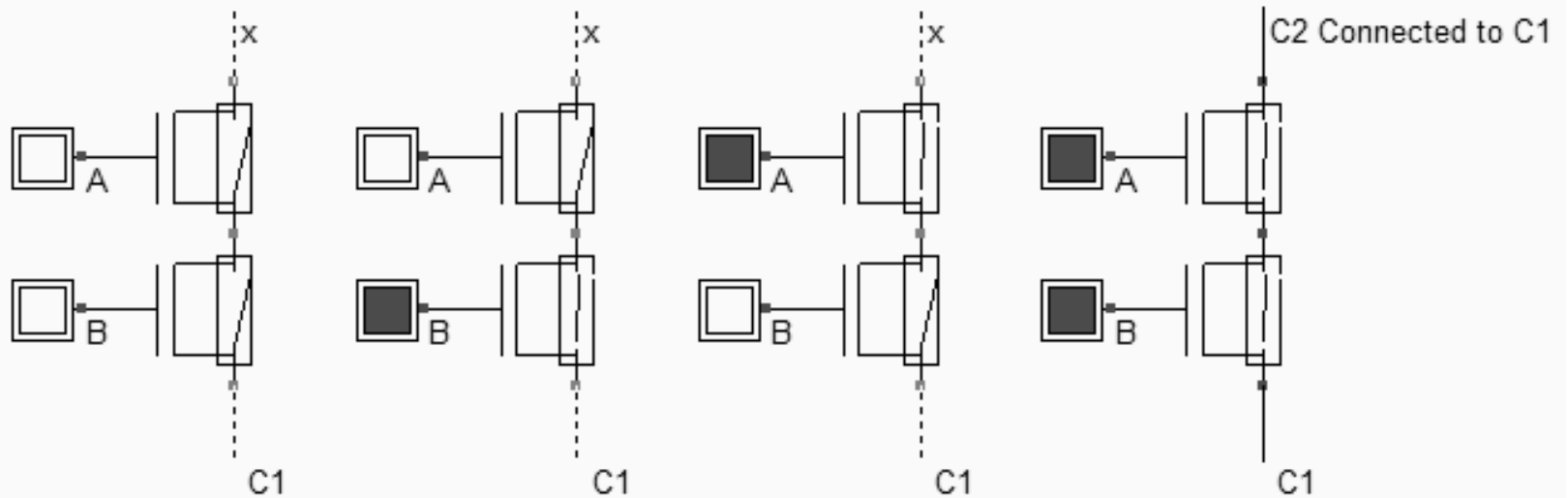
Katedra Mikroelektroniki i Technik
Informatycznych

tel. 26-55

mnapier@dmcs.p.lodz.pl

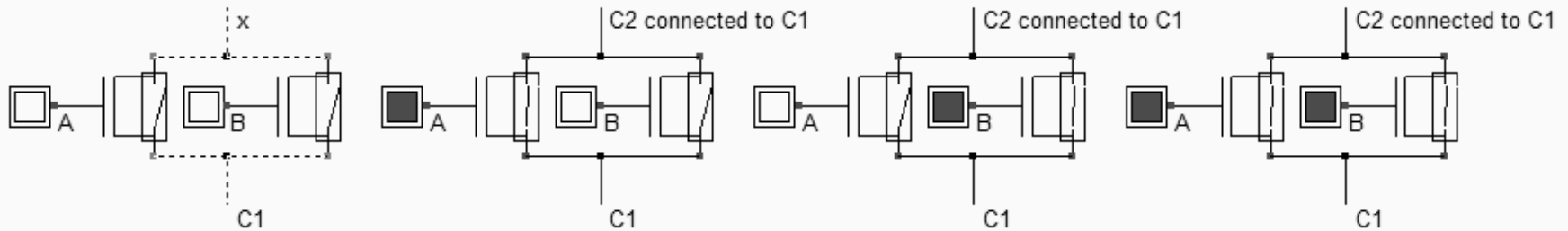
Literatura

- ◆ W. Marciniak “Przyrządy półprzewodnikowe MOS”, WNT 1991
- ◆ A.S. Sedra, K.C. Smith “Microelectronic Circuits”, 4th Ed., Oxford University Press, 1998
- ◆ I. Sutherland, B. Sproull, D. Harris, "Logical Effort - Designing Fast CMOS Circuits", Morgan Kaufmann Publishers 1999; http://www.mkp.com/Logical_Effort
- ◆ K. Waczyński, E. Wróbel „Technologie mikroelektroniczne”, Gliwice 2001, ISBN 83-88000-88-8
- ◆ <http://lux.dmcs.p.lodz.pl>
- ◆ M. Napieralska, G. Jabłoński „Podstawy mikroelektroniki” Łódź 2002, ISBN 83-89003-01-5
- ◆ M. Napieralska, G. Jabłoński, Ł.Starzak „Laboratorium podstaw mikroelektroniki” Łódź 2007



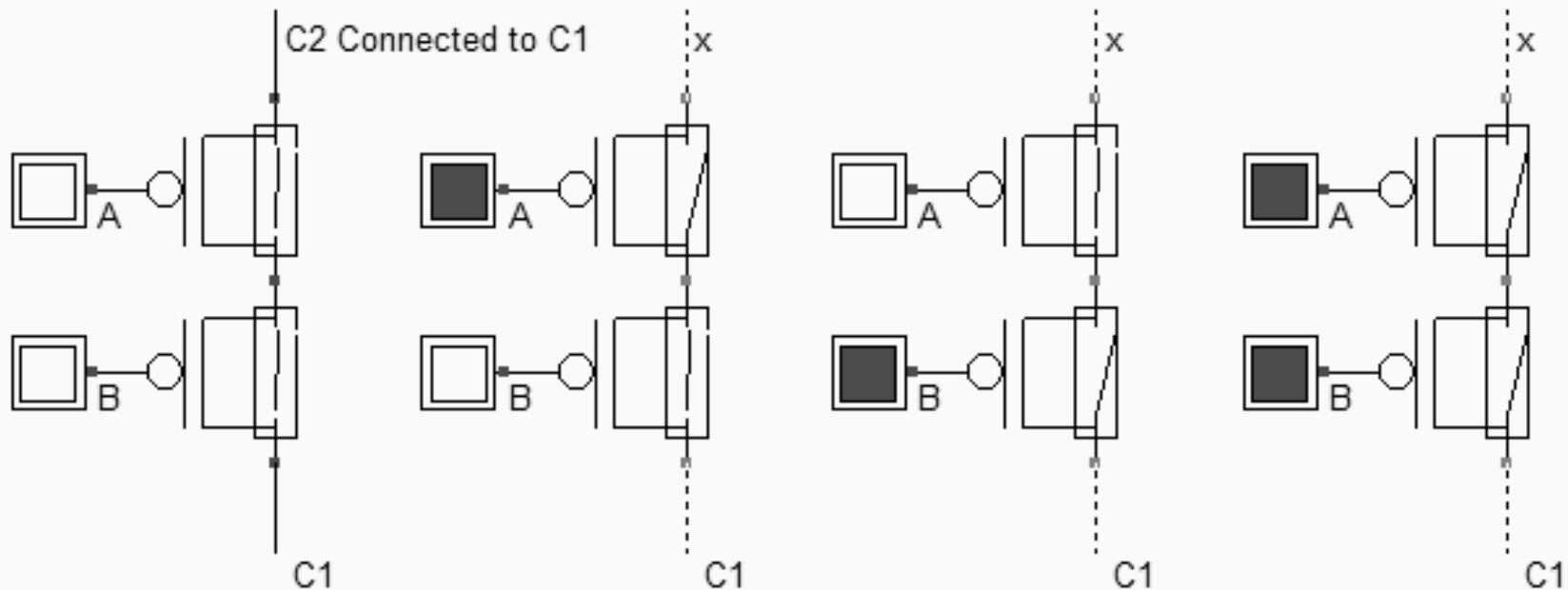
Jeśli dwa nMOS przełączniki są połączone szeregowo, między C1 i C2 utworzone zostanie połączenie tylko jeśli do A i B doprowadzimy sygnał '1'.

Realizacja operacji AND



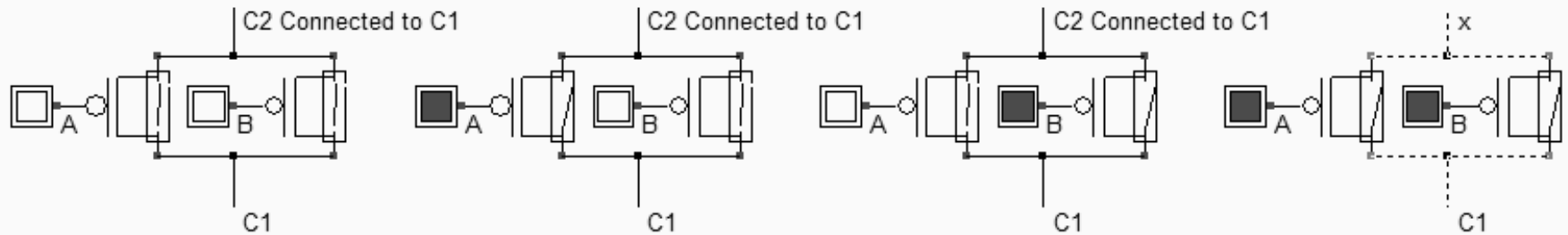
Jeśli dwa nMOS przełączniki są połączone równolegle, między C1 i C2 utworzone zostanie połączenie jeśli do któregośkolwiek wejścia A lub B doprowadzimy sygnał '1'.

Realizacja operacji OR



Jeśli dwa pMOS przełączniki są połączone szeregowo, między C1 i C2 utworzone zostanie połączenie tylko jeśli do A i B doprowadzimy sygnał '0'.

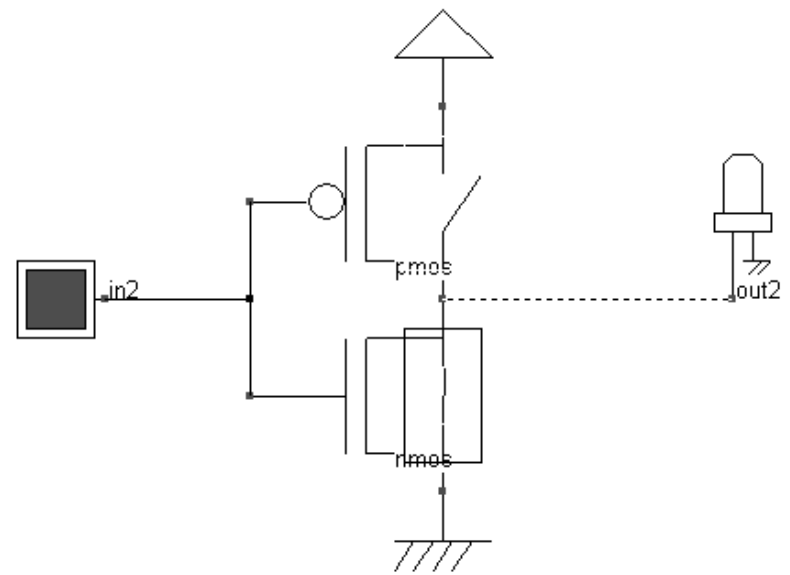
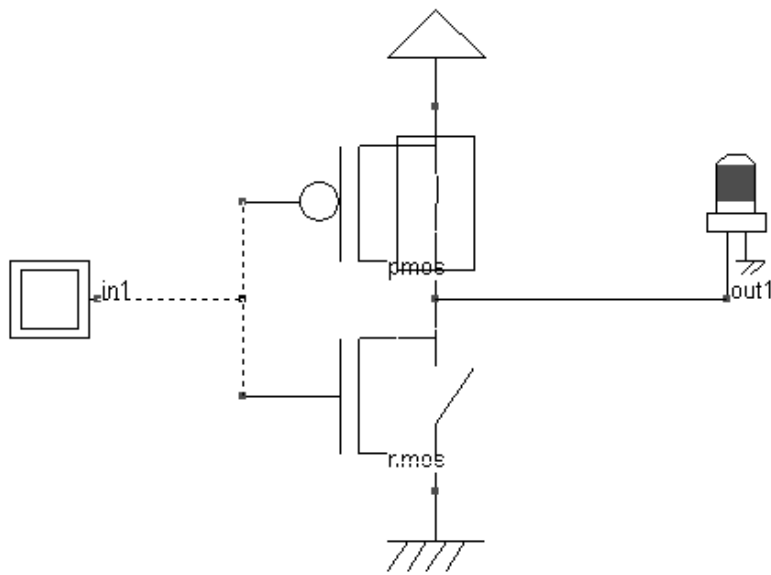
Realizacja operacji AND zanegowanych wartości logicznych



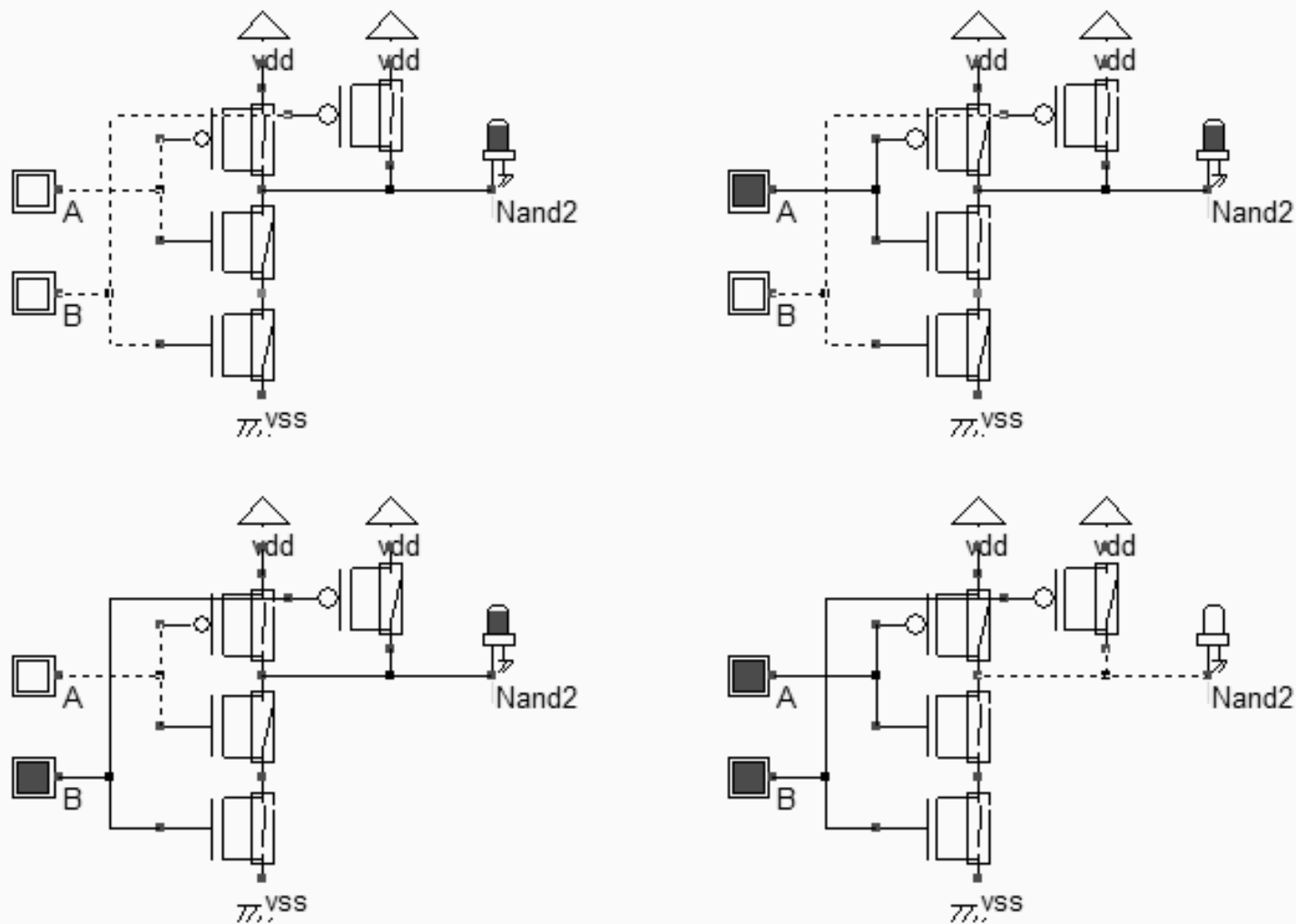
Jeśli dwa pMOS przełączniki są połączone równolegle między C1 i C2 utworzone zostanie połączenie jeśli do któregośkolwiek wejścia A lub B doprowadzimy sygnał '0'.

Realizacja operacji OR zanegowanych wartości logicznych

Koncepcja bramki CMOS



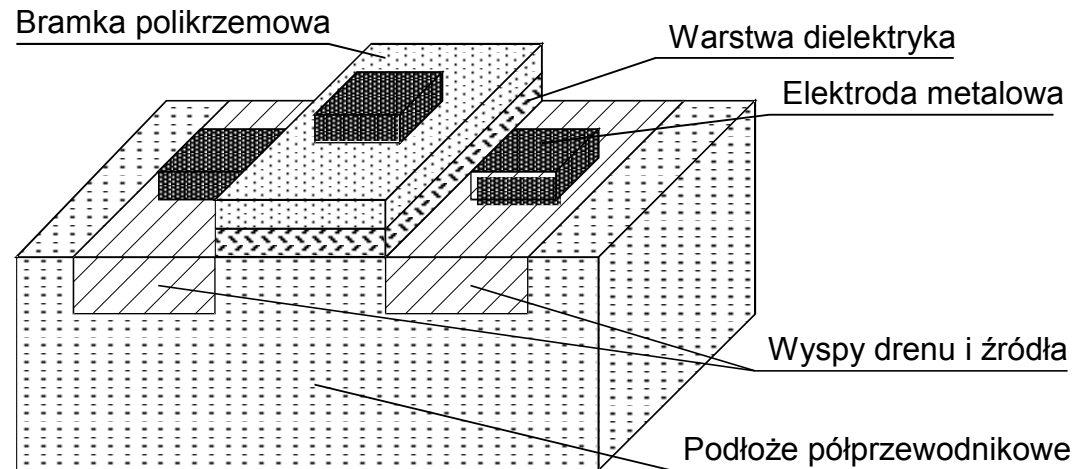
bramka NAND - symulacja logiczna



Tranzystor MOS

ang. Metal Oxide Semiconductor

Tranzystory polowe: MOSFET, MIS, IGFET

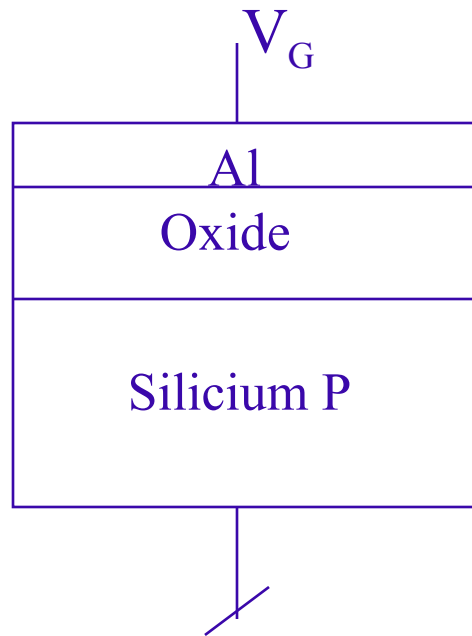


ρ podłoża $0.01 - 0.1 \Omega\text{m}$

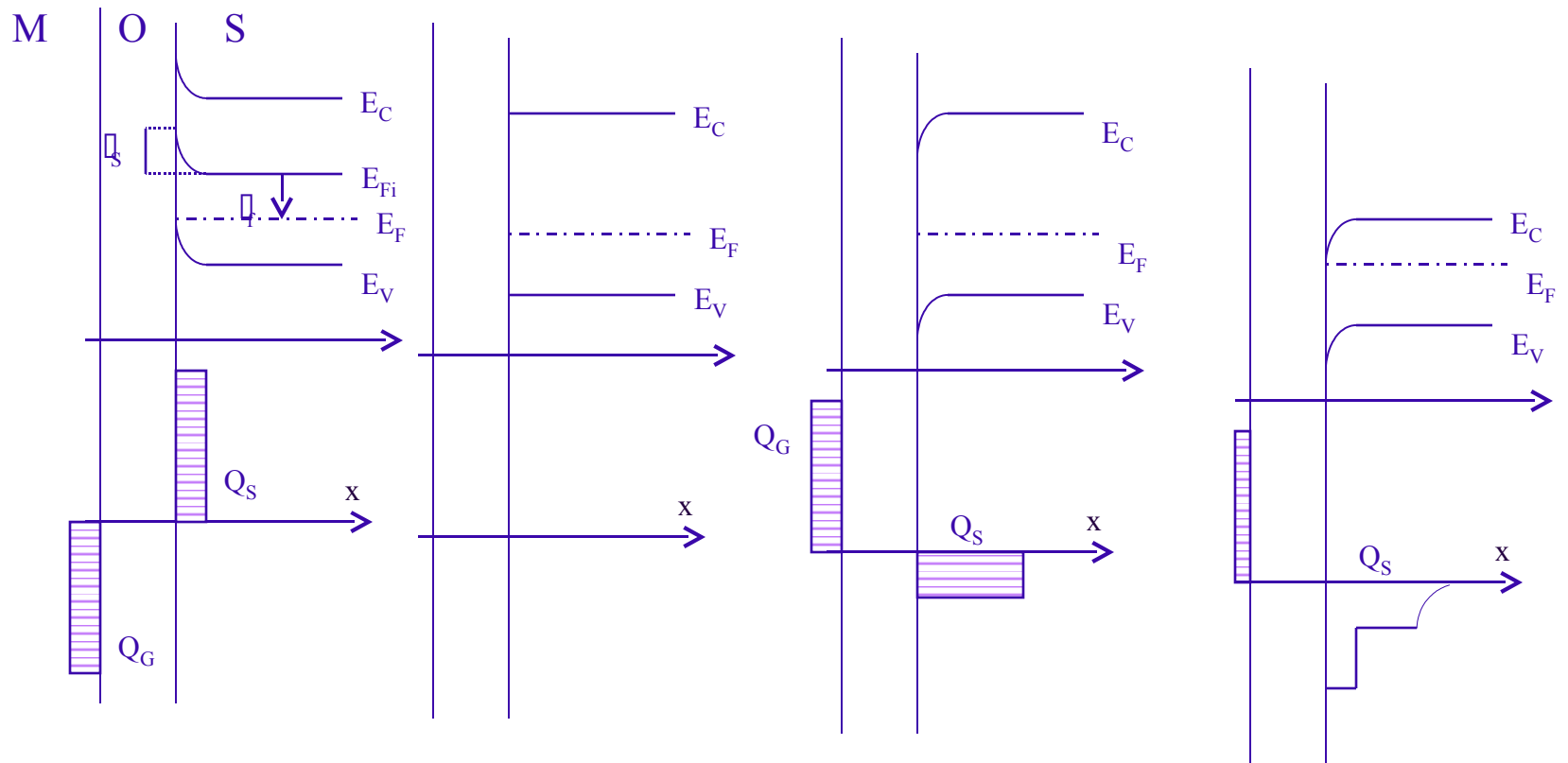
koncentracja n^+ $10^{24} - 10^{26} \text{ m}^{-3}$

t_{ox} od kilku nm

Kondensator MOS



- ◆ Akumulacja $V_G < 0$
- ◆ Zubożenie $V_G > 0$
- ◆ Inwersja $V_G \gg 0$



Akumulacja

Poziom pasm płaskich

Zubożenie

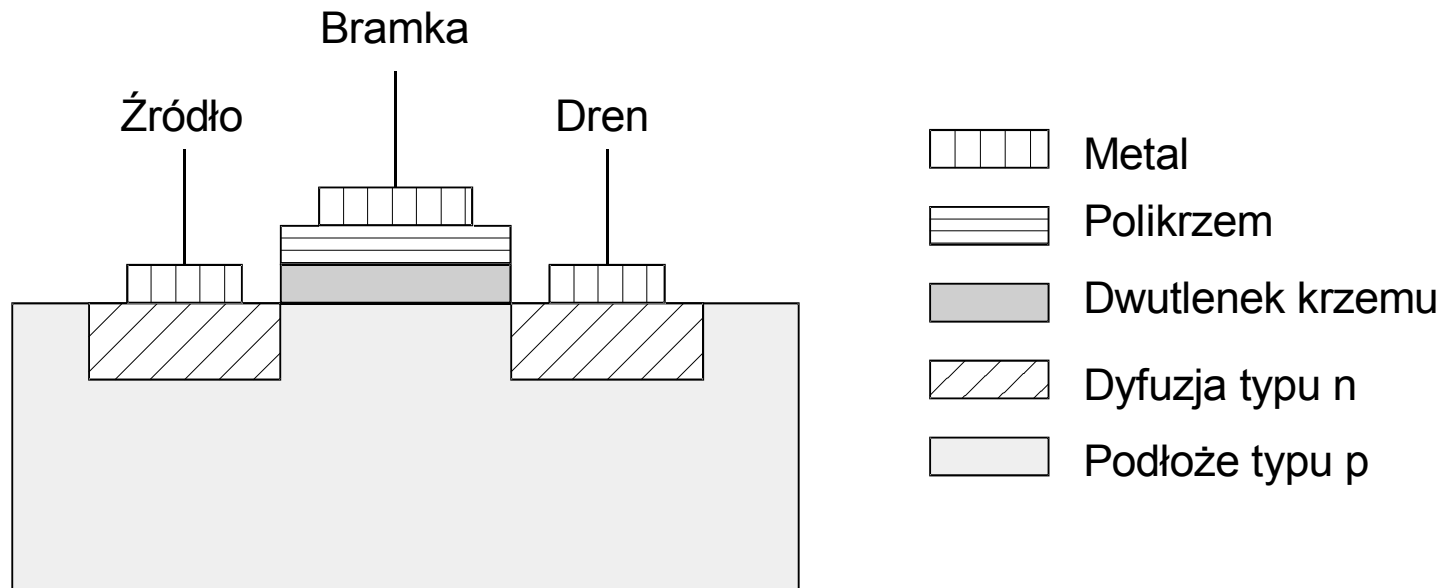
$V_G \gg 0$

$$V_G < 0$$

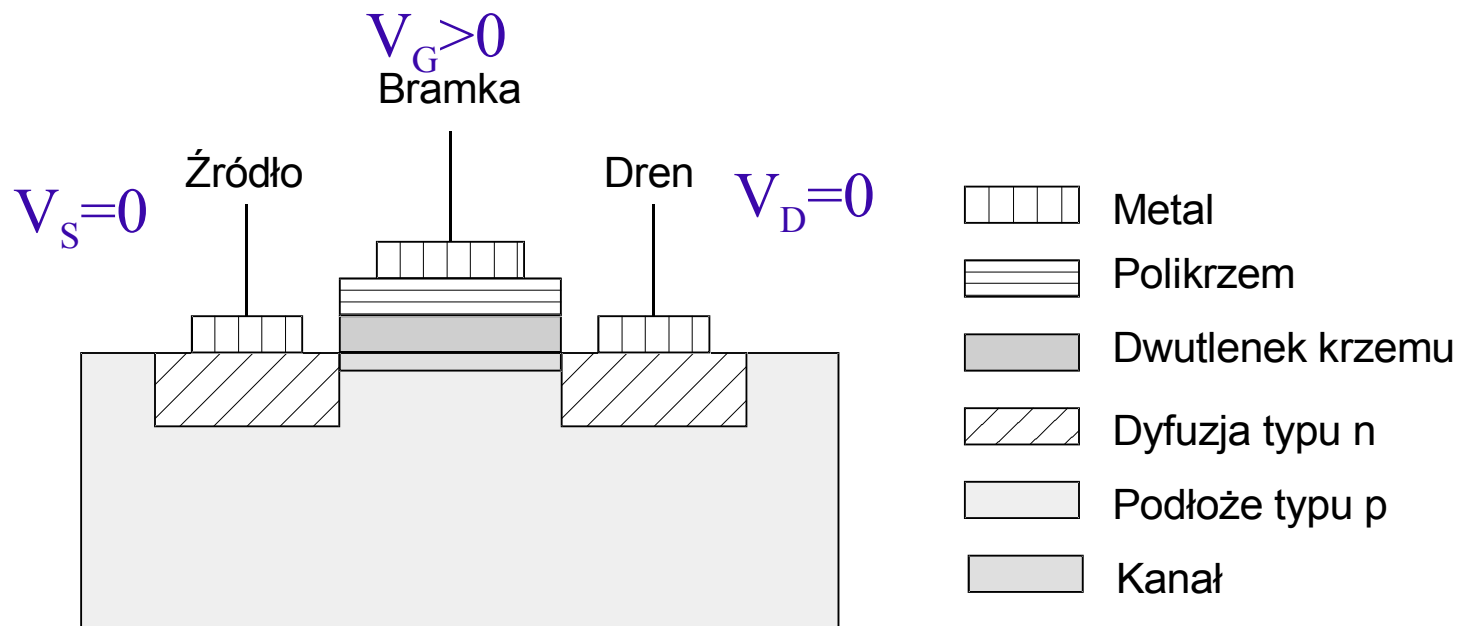
$$V_G = 0$$

$$V_G > 0$$

Przekrój tranzystora nMOS

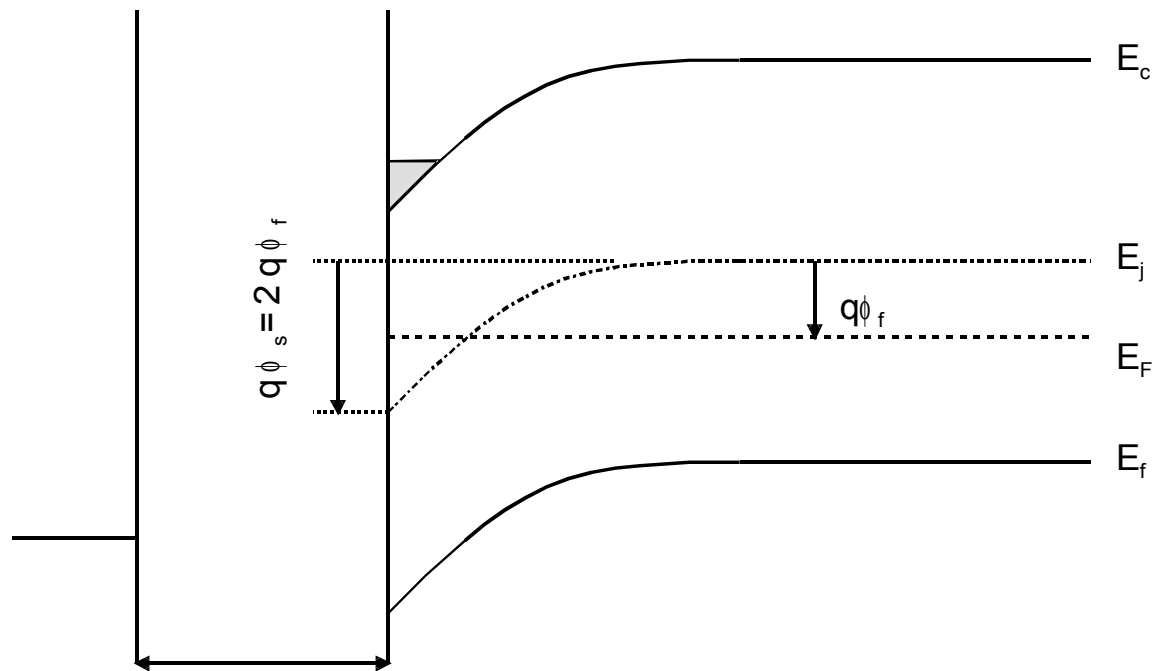


Tranzystor nMOS ze spolaryzowaną bramką

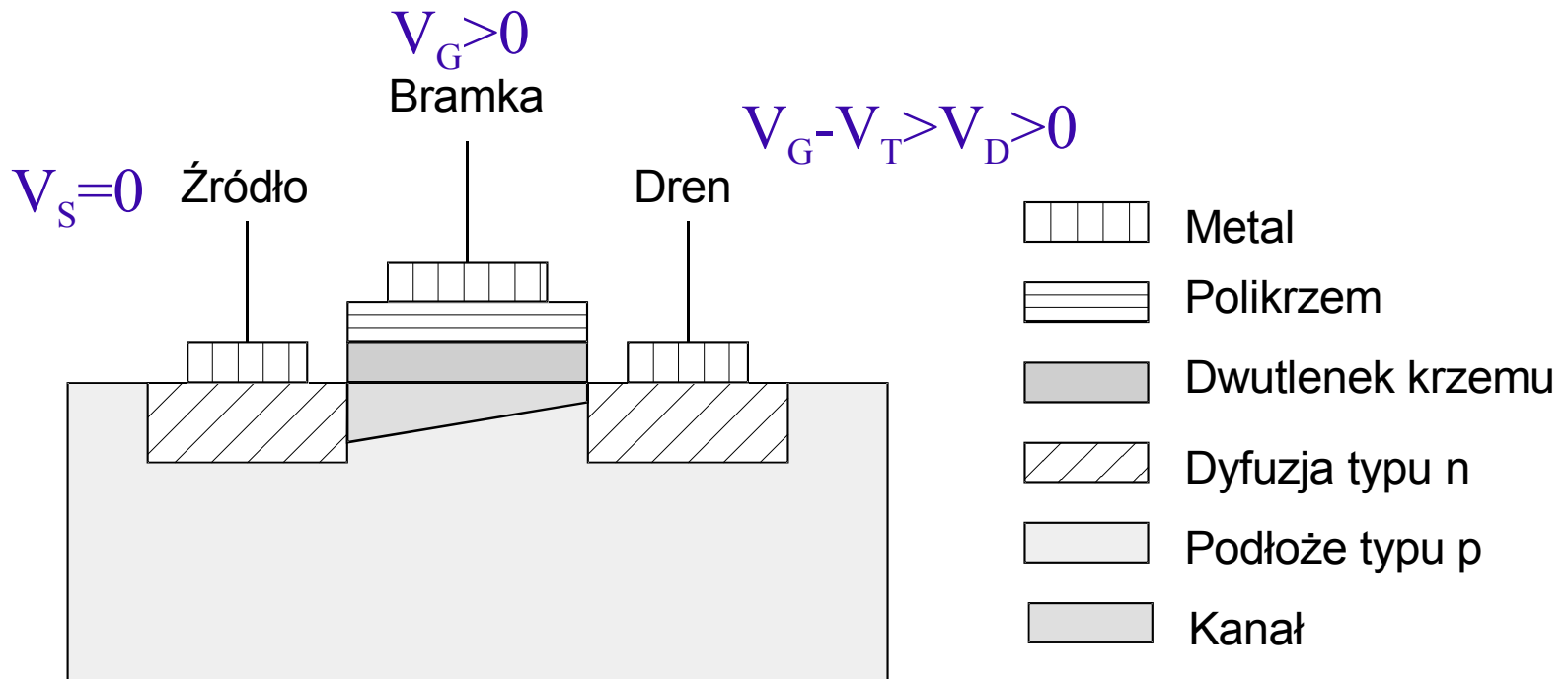


Początek silnej inwersji

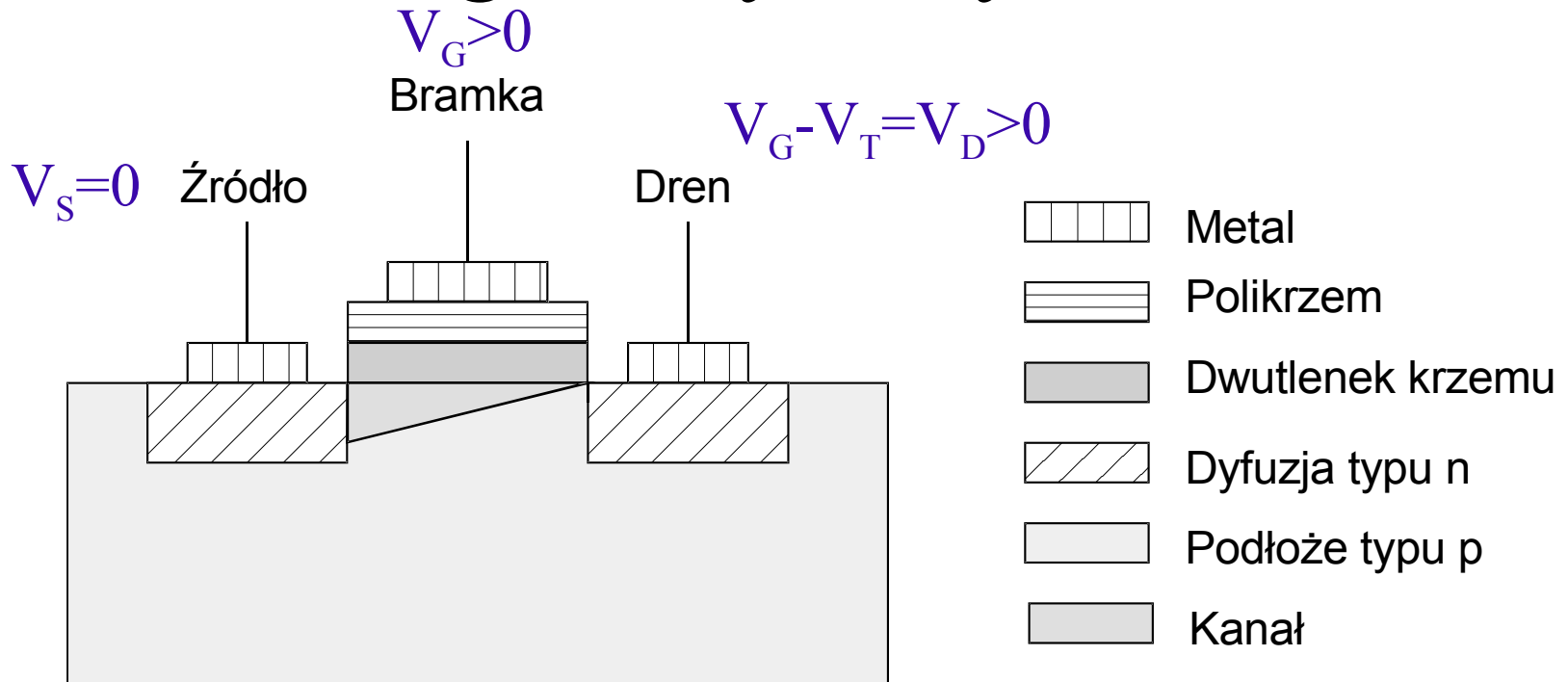
$$V_G = V_T$$



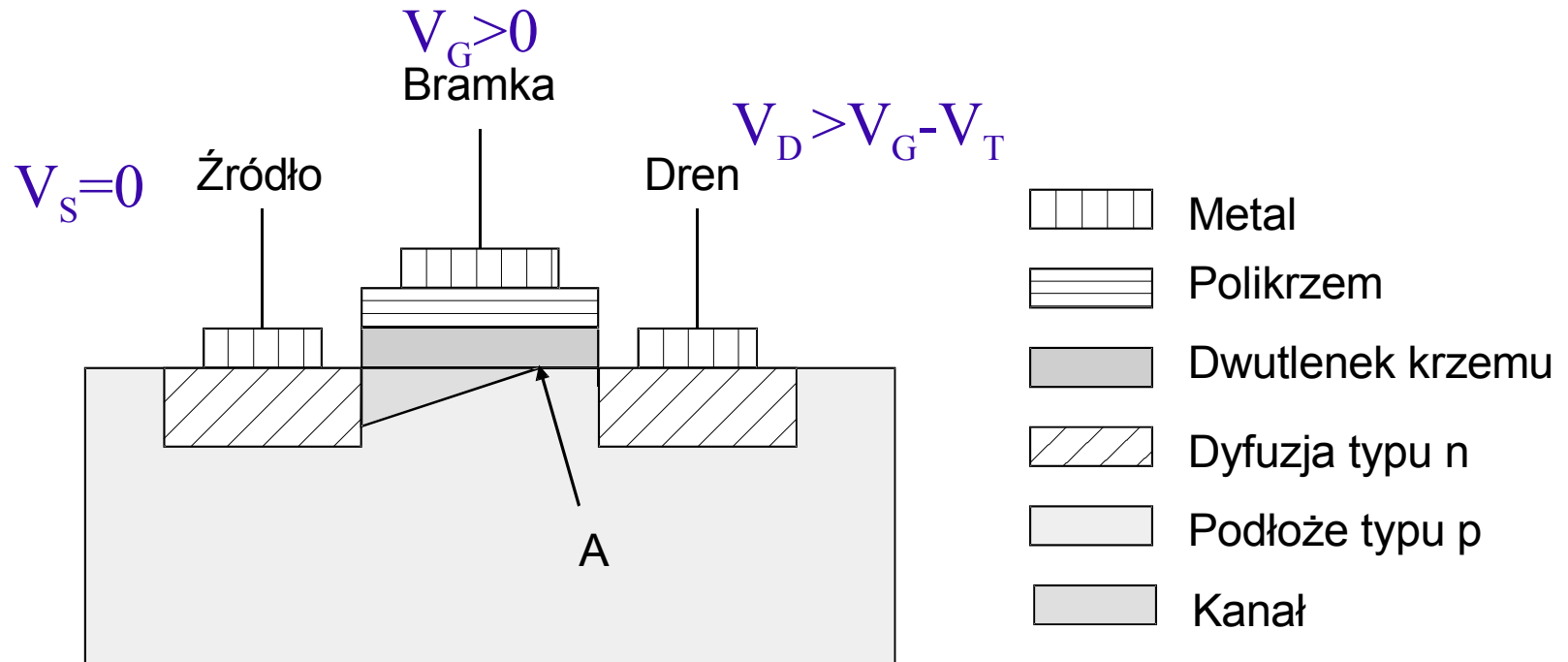
Przewodzący tranzystor nMOS



Przewodzący tranzystor nMOS na granicy nasycenia



Nasycony tranzystor nMOS



Założenia upraszczające do opisu ch-k MOS

- Rozwiązanie r-nia Poissona w 1 wymiarze – układ jest jednowymiarowy
- Ruchliwość nośników w kanale jest stała
- Jednorodne domieszkowanie podłoża
- Pomijalna rezystancja szeregową
- Prądy nasycenia złączy D-B, S-B są pomijalne
- Potencjał powierzchniowy niezależny od U_{GS}
- Ładunek obszaru zubożonego niezależny od położenia w kanale

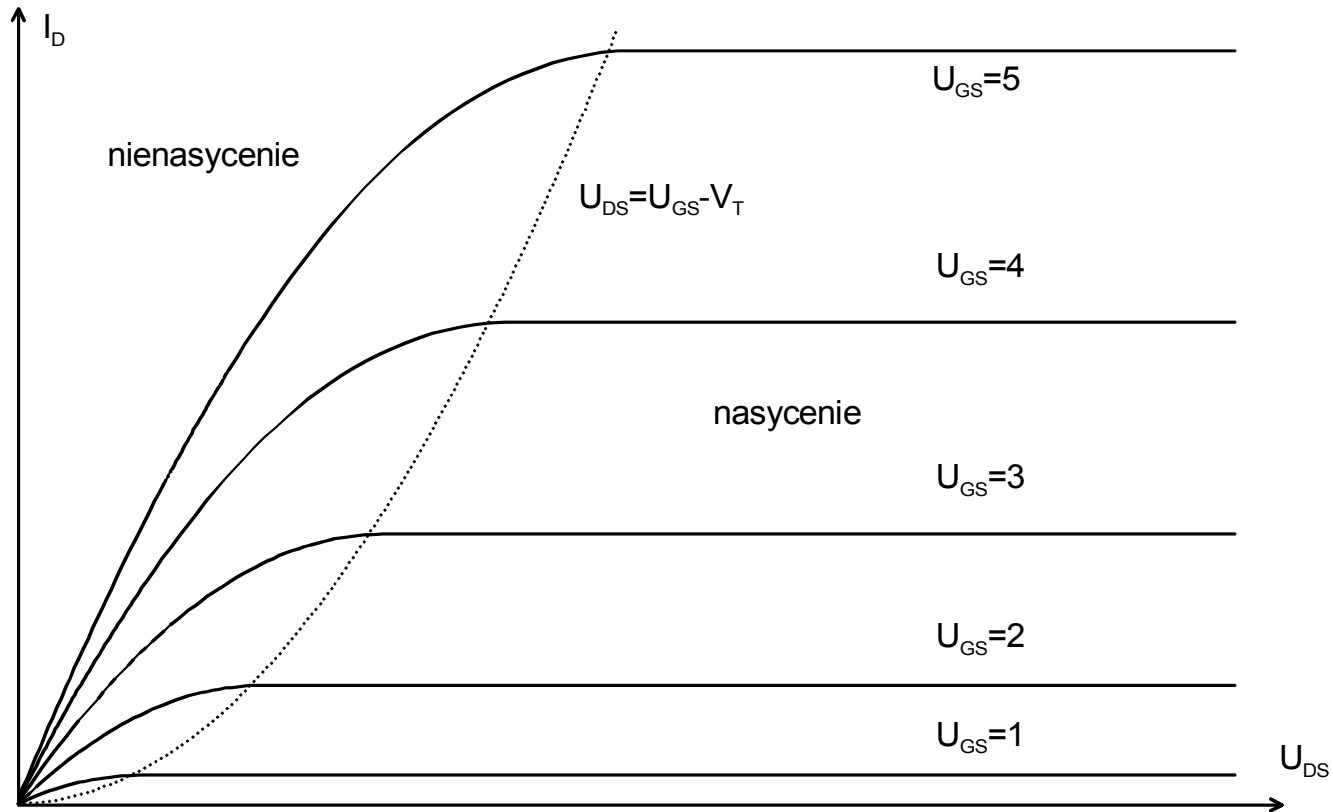
$$I_{DS} = \mu \frac{W_{eff}}{L_{eff}} C_{ox} \int_0^{U_{DS}} (U_{GS} - V_{T0} - V(x)) dV$$

$$I_{DS} = \mu \frac{W_{eff}}{L_{eff}} C_{ox} \left((U_{GS} - V_{T0}) U_{DS} - \frac{1}{2} U_{DS}^2 \right)$$

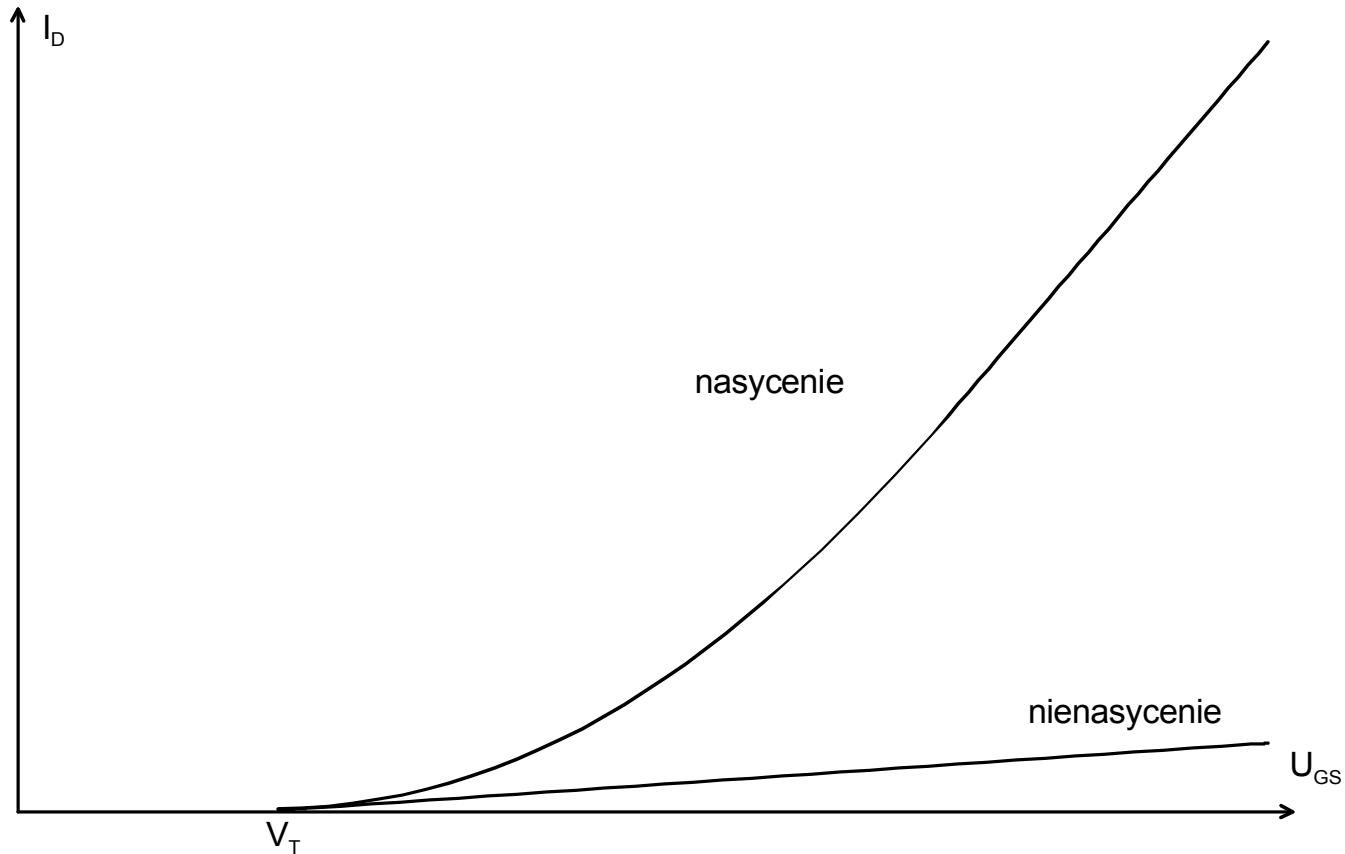
$$I_{DS} = k_p \frac{W_{eff}}{L_{eff}} \left((U_{GS} - V_{T0}) U_{DS} - \frac{1}{2} U_{DS}^2 \right) \quad \text{Nienasycenie}$$

$$I_{DS} = \frac{k_p}{2} \frac{W_{eff}}{L_{eff}} (U_{GS} - V_{T0})^2 \quad \text{Nasycenie}$$

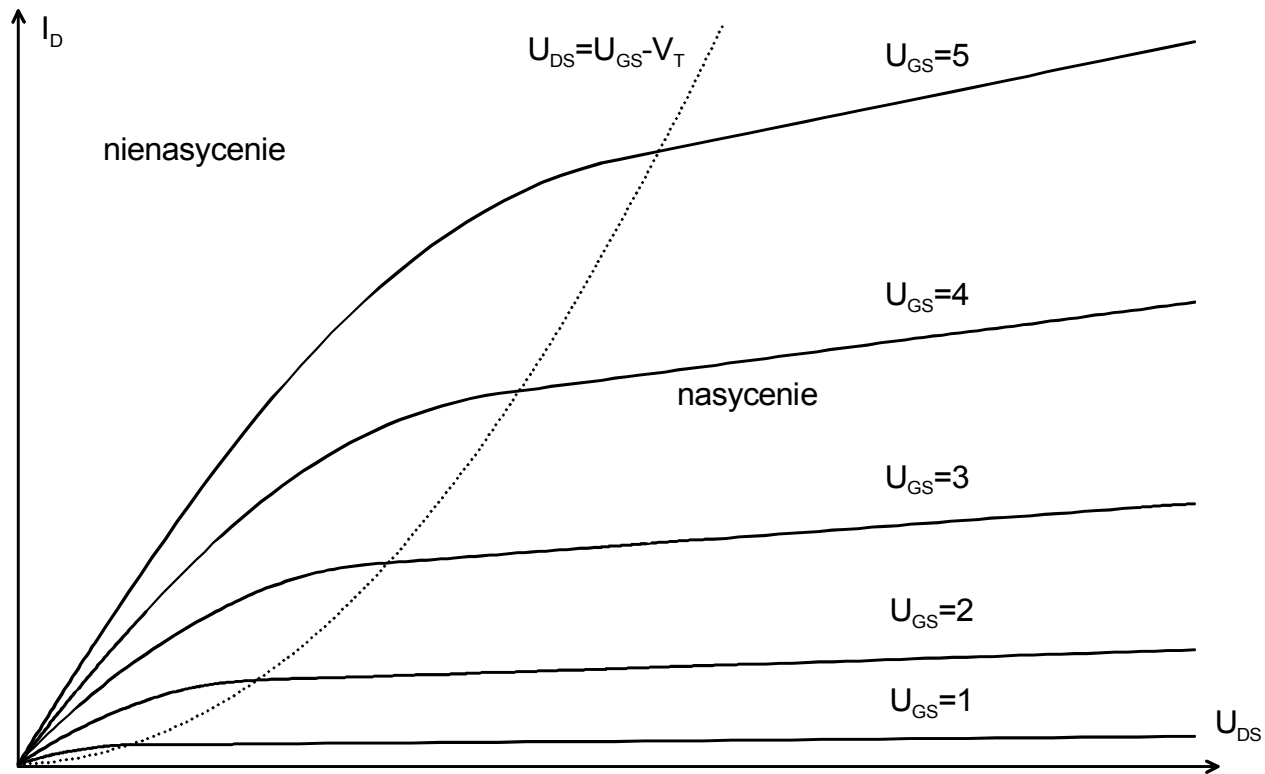
Charakterystyki wyjściowe MOS



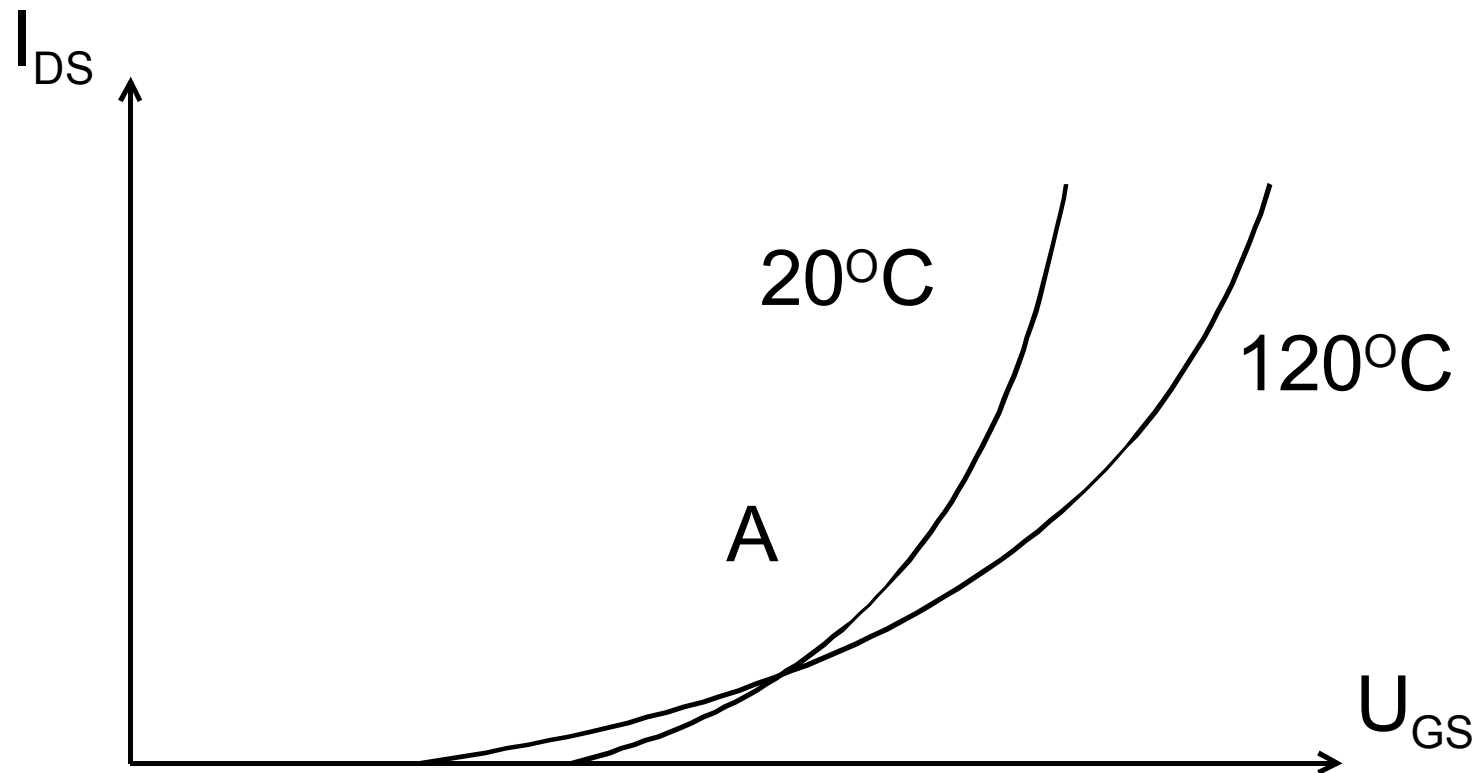
Charakterystyki przejściowe MOS



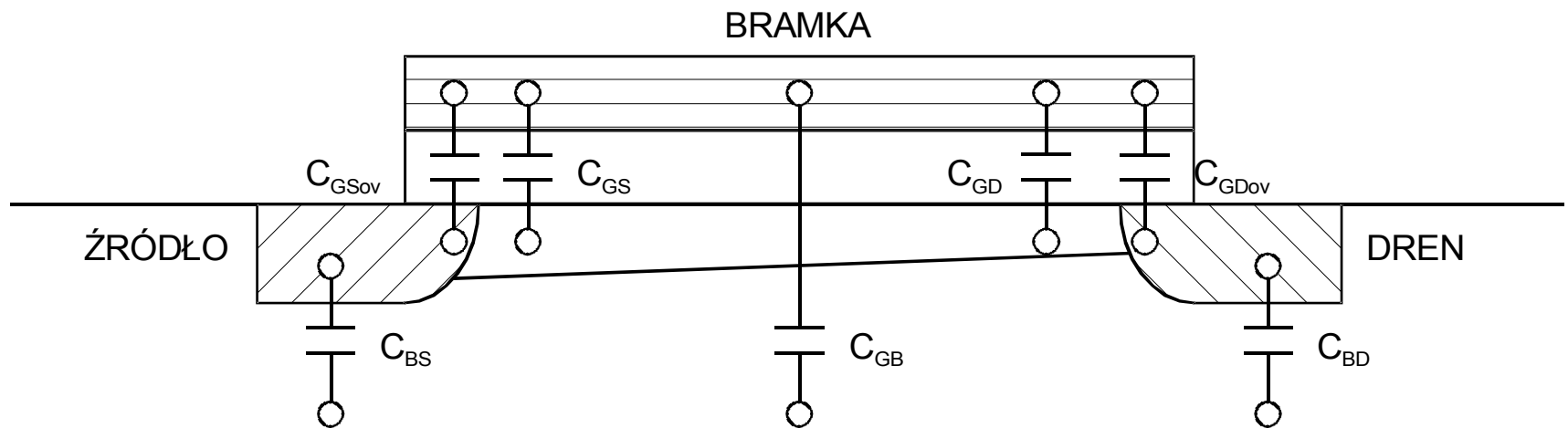
Model LEVEL1



Wpływ temperatury na charakterystyki MOS



Pojemności tranzystora MOS



Pojemności skupione:

- ♦ obszarów zubożonych C_{BD} C_{BS}
- ♦ związane z bramką

Tranzystor MOS - podsumowanie

Zakres pracy	Napięcia na końcówkach
Zakres odcięcia, nieprzewodzenia	$U_{GS} < U_{FB}$
Zakres liniowy, nienasyceń, trydowy	$U_{GS} \geq V_T$ i $U_{DS} < U_{Dsat}$
Zakres nasycenia, pentodowy	$U_{GS} \geq V_T$ i $U_{DS} \geq U_{Dsat}$
Zakres podprogowy, słabej inwersji	$U_{FB} \geq U_{GS} < V_T$

